

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053282
 (43)Date of publication of application : 23.02.2001

(51)Int.Cl. H01L 29/786
 G01R 31/02
 G02F 1/13
 G02F 1/1365
 G09F 9/00
 G09F 9/30
 H01L 21/66

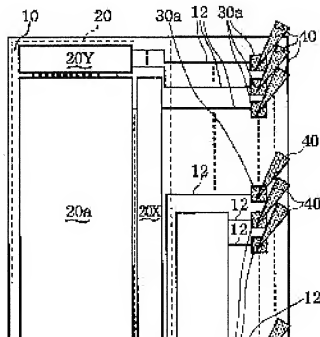
(21)Application number : 11-227566 (71) MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 11.08.1999 (72)Inventor : MORITA YUKIHIRO
 URAOKA YUKIHARU
 KAWAMURA TETSUYA
 NISHITANI MIKIHICO

(54) THIN-FILM TRANSISTOR ARRAY SUBSTRATE AND METHOD OF TESTING THE SAME

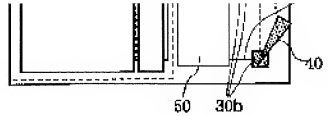
(57) Abstract:

PROBLEM TO BE SOLVED: To enhance a thin-film transistor array substrate in test efficiency by a method wherein test patterns are checked to screen out defective chips before a drive circuit and pixel transistors are tested through a pulse response method.

SOLUTION: A thin film transistor array substrate is equipped with pixel transistors 20a arranged in matrix on a substrate, drive circuits 20X and 20Y connected to the pixel transistors 20a, and an array test pad row composed of array test pads 30a, 30a, etc., where a test pattern check pad row composed of test pattern check pads 30b, 30b, etc.,



which are nearly equal in shape and interval to the array test pads 30a, 30a, etc., are formed on the extension line of the array test pads 30a, 30a, etc., and the test pattern check pads 30b, 30b, etc., are connected to a test pattern 50.



(19) 日本国特許 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-53282
(P2001-53282A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. ⁷	識別記号	F I	テ-コ-ト ⁷ (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 2 4 2 G 0 1 4
G 0 1 R 31/02		G 0 1 R 31/02	2 H 0 8 8
G 0 2 F 1/13	1 0 1	G 0 2 F 1/13	1 0 1 2 H 0 9 2
1/1385		G 0 9 F 9/00	3 5 2 4 M 1 0 6
G 0 9 F 9/00	3 5 2	9/30	3 3 8 5 C 0 9 4

審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平11-227566

(22) 出願日 平成11年8月11日 (1999.8.11)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 森田 幸弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 清岡 行治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100101823

弁理士 大前 要

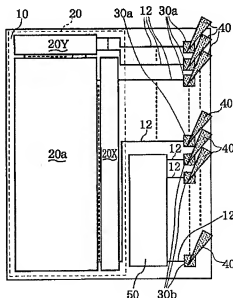
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタアレイ基板及びその検査方法

(57) 【要約】

【課題】 パルス応答法を用いて駆動回路及び画素トランジスタの検査を行う前に、テストパターンの検査を行って不良品チップのスクリーニングを行い、検査効率を向上することを目的とする。

【解決手段】 基板上にマトリックス状に配列された画素トランジスタ20aと、該画素トランジスタ20aに接続された駆動回路20X・20Yと、該駆動回路20X・20Yに接続された複数のアレイ検査用パッド30a・30a…からなるアレイ検査用パッド列とを備える薄膜トランジスタアレイ基板1であって、前記アレイ検査用パッド列の延長上に、アレイ検査用パッド30a・30a…と略同一形状、略同一間隔の、複数のテストパターン検査用パッド30b・30b…からなるテストパターン検査用パッド列を形成し、テストパターン検査用パッド30b・30b…をテストパターン50に接続したことを特徴としている。



【特許請求の範囲】

【請求項1】 基板上にマトリックス状に配列された画素トランジスタと、

該画素トランジスタに接続された駆動回路と、

該駆動回路に接続された複数のアレイ検査用パッドからなるアレイ検査用パッド列と、を備える薄膜トランジスタアレイ基板であって、

前記アレイ検査用パッド列の延長上に、アレイ検査用パッドと略同一形状、略同一間隔の、複数のテストパターン検査用パッドからなるテストパターン検査用パッド列を形成し、テストパターン検査用パッドをテストパターンに接続したことを特徴とする薄膜トランジスタアレイ基板。

【請求項2】 前記テストパターンは単体トランジスタ、ドーピング層抵抗測定パターン、コンタクト抵抗測定パターン、リーク電流測定パターン、コンタクトチェーン、インバータ、トランスファゲート及びリングオシレータよりなる群から一つまたは2以上選ばれたものであることを特徴とする請求項1記載の薄膜トランジスタアレイ基板。

【請求項3】 基板上にマトリックス状に配列された画素トランジスタと、

該画素トランジスタに接続された駆動回路と、

該駆動回路に接続された複数のアレイ検査用パッドからなるアレイ検査用パッド列と、を備える薄膜トランジスタアレイ基板の検査方法であって、

前記アレイ検査用パッド列の延長上に、アレイ検査用パッドと略同一形状、略同一間隔の、複数のテストパターン検査用パッドからなるテストパターン検査用パッド列を形成し、該テストパターン検査用パッドに接続したテストパターンを検査するテストパターン検査工程と、前記テストパターン検査工程における検査結果より、テストパターンの特性が規定範囲内にあるか否かを判定し、アレイ検査工程を行うか否かを判定するテストパターン判定工程と、

前記テストパターン判定工程によってテストパターンの特性が規定範囲内であると判定した場合に、前記駆動回路及び画素トランジスタを検査するアレイ検査工程と、を備えたことを特徴とする薄膜トランジスタアレイ基板の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタアレイ基板及びその検査方法に関する。

【0002】

【従来の技術】従来の薄膜トランジスタアレイ基板及びその検査方法について図6、図7を用いて簡単に説明する。

【0003】図6は従来の薄膜トランジスタアレイ基板（以下「TFTアレイ基板」と称する）の概略平面図、

図7は、従来のTFTアレイ基板の一部を構成するTFTアレイの概略平面図である。図6に示すように、一般に、TFTアレイ基板1は数十cm×数十cmの大きさであり、該TFTアレイ基板1に数inch×数inchのTFTアレイ10・10…をマトリックス状に形成する。例えば、30cm×40cmのTFTアレイ基板1においては、3inch×4inchのTFTアレイ10・10…を16面（16チップ）形成することができる。

【0004】図6、図7において、TFTアレイ10上には、画面部を構成するマトリックス状に配列された画素トランジスタ20aと、該画素トランジスタ20aを駆動するための駆動回路20X・20Y（単体トランジスタ、インバータ、トランスファゲート等より構成されている）とを有する領域20が形成されている。また、前記駆動回路20X・20Yにはアレイ検査用パッド30・30…が配線部12・12…を介して接続され、さらに、該配線部12・12…は画素トランジスタ20aを構成するソース電極、ゲート電極、ドレイン電極に接続されている。

【0005】そして、TFTアレイ10の検査時には、アレイ検査用パッド30…に複数のプローブピン40・40…を同時に当接して、パルス応答法により駆動回路20X・20Y及び画素トランジスタ20aの検査を行っていた。

【0006】なお、前記パルス応答法とは、駆動回路20X・20Yに接続されたアレイ検査用パッド30・30…に複数のプローブピン40・40…を当接し、ある1つのプローブピン40よりパルス状の電気信号を送って、他のプローブピン40の電圧変化を見ることにより、配線の短絡チェックや駆動回路の評価、そして画素トランジスタの評価を行う方法である。

【0007】また、従来からTFTアレイ基板1には、アレイプロセスの安定性評価や不良解析のために、単体トランジスタやインバータなど様々なテストパターンを持つTEG24・24…（Test Element Group）が備えられている。また、TFTアレイ10・10…上の隅にもTEG25・25…が備えられている。そして、前記TEG25中のいくつかのテストパターン、例えば単体トランジスタやドーピング層抵抗測定パターンなどを、TEG検査工程において測定し、その測定結果を用いてアレイプロセスの安定性や、行われたプロセスが妥当である（プロセスが規定範囲内である）かどうかの妥当性の評価を行うことも可能である。

【0008】

【発明が解決しようとする課題】近年、コスト削減のためにTFTアレイ基板の大型化が進められているが、TFTアレイ基板が大型になると、プロセスの制御も難しくなり、膜厚の基板内分布や、レーザーアニールによる再結晶化及びエッチングの不均一性が大きくなる。それに伴って半導体層のシート抵抗、コンタクト抵抗、ドー

ピング層抵抗などがTFTアレイベース内にばらつき、つまり、トランジスタ特性がTFTアレイベース内で不均一となるのである。

【0009】トランジスタ特性のばらつきが規定範囲内にあるときは、TFTアレイベースに形成されたすべてのTFTアレイベース(チップ)が良品チップとなるが、ばらつきが規定範囲を超えると、1枚のTFTアレイベース内に良品チップと不良品チップが混在しだす。TFTアレイベースが小さい場合も当然上記の不均一性が存在し、1枚のTFTアレイベースに良品チップと不良品チップが混在することもあるが、TFTアレイベースが大きくなってくると、それがより顕著になる。

【0010】従来、駆動回路及び画素トランジスタの検査を行うアレイベース検査工程では、良品チップも不良品チップも関係なく、バルス応答法を用いて順番に同様の時間をかけてTFTアレイベース10×10…を検査するため、不良品チップに対しては良品チップと同様に駆動回路及び画素トランジスタの検査を行うことになり、多量のチップの検査を行う場合、検査時間がかかるという問題を有していた。

【0011】また、前記TEG検査結果をアレイベース検査工程へ受け渡し、該TEG検査結果によって不良品チップのスクリーニングを行うことも可能であるが、TEG検査とアレイベース検査とは別工程であり、不良品チップのスクリーニングのために2つの検査を行うことによって検査効率が極端に悪くなるというのである。

【0012】

【課題を解決するための手段】この課題を解決するために、バルス応答法を用いて駆動回路及び画素トランジスタの検査を行う前に、テストパターンの検査を行って不良品チップのスクリーニングを行い、検査効率を向上することを目的とする。

【0013】即ち、請求項1記載の発明は、基板上にマトリクス状に配列された画素トランジスタと、該画素トランジスタに接続された駆動回路と、該駆動回路に接続された複数のアレイベース検査用パッドからなるアレイベース検査用パッド列と、を備える薄膜トランジスタアレイベースであって、前記アレイベース検査用パッド列の延長上に、アレイベース検査用パッドと略同一形状、略同一間隔の、複数のテストパターン検査用パッドからなるテストパターン検査用パッド列を形成し、テストパターン検査用パッドをテストパターンに接続したことを特徴としている。

【0014】前記構成とすることにより、アレイベース検査工程時にテストパターン測定が可能となり、バルス応答法による駆動回路及び画素トランジスタの検査工程の前に、テストパターン測定が可能となり、そのテストパターンの測定結果を用いてプロセスの安定性及び妥当性の評価を行うことができる。

【0015】即ち、TFTアレイベースに形成されたテストパターンの検査結果が規定範囲内であれば、そのTFTアレ

イベースを良品チップと判断し、バルス応答法により駆動回路及び画素トランジスタの検査を行う。一方、前記テストパターン検査結果が規定範囲外であれば、そのTFTアレイベースを不良品チップとみなし、そのTFTアレイベースの駆動回路及び画素トランジスタの検査を行わずに、次のTFTアレイベースの検査を行う。このようにして、不良TFTアレイベースのスクリーニングが可能となり、アレイベース検査の効率が向上し、TFTアレイベース検査時間の短縮を図ることができる。

10 【0016】また、前記アレイベース検査用パッド列の延長上に、アレイベース検査用パッドと略同一形状、略同一間隔の、複数のテストパターン検査用パッドからなるテストパターン検査用パッド列を形成し、テストパターン検査用パッドをテストパターンに接続した構成としているので、TFTアレイベース検査時には、複数のプローブピンをアレイベース検査用パッド及びテストパターン検査用パッドに同時に当接することができ、テストパターンの検査及びアレイベース検査において、プローブピンを移動する必要はなく、従って、アレイベース検査の効率が向上する。

20 【0017】請求項2記載の発明は、請求項1記載の薄膜トランジスタアレイベースであって、前記テストパターンは単体トランジスタ、ドーピング層抵抗測定パターン、コンタクト抵抗測定パターン、リーク電流測定パターン、コンタクトチェーン、インバータ、トランスファゲート及びリングオシレータよりなる群から1つまたは2以上選ばれたものであることを特徴としている。

30 【0018】前記構成とすることにより、アレイベースと同時にテストパターンの検査が可能となり、その検査結果を用いてプロセスの安定性及び妥当性の評価を行うことができる。前記構成において、テストパターンは、トランジスタ、ドーピング層抵抗測定パターン、コンタクト抵抗測定パターン、リーク電流測定パターン、コンタクトチェーン、インバータ、トランスファゲート及びリングオシレータよりなる群から1つまたは2以上選ばれたものである。そして、エッチングプロセスやドーピングプロセスに異常がありその他のプロセスに問題がない場合には、テストパターンにコンタクトチェーン(ソース電極とドレイン電極とn型半導体層とのコンタクトが連続的に形成されたパターン)及びドーピング層抵抗測定パターンを用いければ良く、テストパターンとして多種類のパターンをTFTアレイベース上に形成する必要はない。

40 【0019】請求項3記載の発明は、基板上にマトリクス状に配列された画素トランジスタと、該画素トランジスタに接続された駆動回路と、該駆動回路に接続された複数のアレイベース検査用パッドからなるアレイベース検査用パッド列と、を備える薄膜トランジスタアレイベースの検査方法であって、前記アレイベース検査用パッド列の延長上に、アレイベース検査用パッドと略同一形状、略同一間隔の、複数のテストパターン検査用パッドからなるテストパターン検査

査用パッド列を形成し、該テストパターン検査用パッドに接続したテストパターンを検査するテストパターン検査工程と、前記テストパターン検査工程における検査結果より、テストパターンの特性が規定範囲内にあるか否かを判定し、アレイ検査工程を行うか否かを判定するテストパターン判定工程と、前記テストパターン判定工程によってテストパターンの特性が規定範囲内であると判定した場合に、前記駆動回路及び画素トランジスタを検査するアレイ検査工程とを備えたことを特徴としている。

【0020】前記方法とすることにより、パルス応答法による駆動回路及び画素トランジスタの検査を行うアレイ検査工程の前に、前記テストパターン検査工程によってテストパターンの検査を行い、その検査結果よりテストパターンの特性が規定範囲内にあるか否かをテストパターン判定工程によって判断して、テストパターンの検査結果が規定範囲内であれば、パルス応答法により駆動回路及び画素トランジスタの検査を行う必要はなく、従って、検査効率が向上する。このようにして、不良品チップのスクリーニング、即ち、テストパターンで検出可能な不良品チップに対する駆動回路及び画素トランジスタの検査の回避が可能になり、アレイ検査の検査効率が向上し、検査時間の短縮を図ることが可能となる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について、図1を用いて説明する。但し、説明を容易にするために拡大または縮小等して図示した部分がある。

【0022】（実施の形態）図1は本発明の実施の形態に係る、薄膜トランジスタアレイ基板の一部を構成する薄膜トランジスタアレイの概略平面図である。

【0023】図1に示すように、TFTアレイ基板1（図6参照）の一部を構成するTFTアレイ10上には、画面部を構成するマトリックス状に配列された画素トランジスタ20aと、該画素トランジスタ20aを駆動させる駆動回路20X・20Yとを有する領域20が形成されている。また、前記駆動回路20X・20Yにはアレイ検査用パッド30a・30a…からなるアレイ検査用パッド列が配線部12・12…を介して接続され、さらに、該配線部12・12…は画素トランジスタ20aを構成するソース電極、ゲート電極、ドレイン電極（図示せぬ）に接続されている。そして、TFTアレイ10のアレイ検査時には、アレイ検査用パッド30a・30a…に複数のプローブピン40・40…を同時に当接して、パルス応答法により駆動回路及び画素トランジスタの検査を行う。

【0024】また、前記TFTアレイ10のアレイ検査用パッド30a・30a…の下（アレイ検査用パッド列の延長上）には、アレイ検査用パッド30a・30a…

…と略同一形状で略同一間隔の、複数のテストパターン検査用パッド30b・30b…からなるテストパターン検査用パッド列が形成されており、該テストパターン検査用パッド30b・30b…に配線部12・12…を介してテストパターン50が接続されている。

【0025】次に、TFTアレイ10のアレイ検査方法について説明する。

【0026】まず、アレイ検査用パッド30a・30a…及びテストパターン検査用パッド30b・30b…にプローブピン40・40…を同時に当接し、まず、テストパターン50の特性を評価する。そして、そのテストパターン50の検査結果が規定範囲内にあるかどうかをテストパターン判定工程によって判断し、規定範囲内にある場合は続けてパルス応答法により領域20を形成する駆動回路20X・20Y及び画素トランジスタ20aの検査（アレイ検査）を行う。

【0027】一方、前記テストパターンが規定範囲外である場合は、テストパターン判定工程によって判断し、そのTFTアレイ10（チップ）を不良品チップと見なし、駆動回路20X・20Y及び画素トランジスタ20aに対するアレイ検査は行わず、次のTFTアレイ（チップ）の検査を行う。

【0028】これによって、不良TFTアレイのスクリーニングが可能となり、アレイ検査時間の短縮を図ることができ、アレイ検査効率が向上する。なお、TFTアレイ基板上で規定範囲内のTFTアレイ（良品チップ）と規定範囲外のTFTアレイ（不良品チップ）ができるのは、薄膜の面内膜厚分布やエッチングの面内膜厚分布が原因であるが、本実施の形態のように、テストパターン50は領域20（即ち、駆動回路20X・20Y及び画素トランジスタ20a）の近傍位置に形成されているので、テストパターン50と領域20（駆動回路及び画素トランジスタ）の特性には相関性がある。従って、アレイ検査時にテストパターン50の特性の測定を行うことによって、アレイ工程の安定性及び妥当性の評価を行うことができる。

【0029】また、従来のTEGは多種類のパターンからなるものであり、そのため、アレイ検査用パッド30a・30a…とは異なる位置（離れた位置）に形成せざるを得ないものであった。また、前記TEGは、領域20を形成する駆動回路20X・20Yや画素トランジスタ20aとは独立して形成されたものである。前記TEG検査工程のデータをアレイ検査工程に受け渡して、不良品チップのスクリーニングが可能であるが、前記TEG検査工程およびアレイ検査工程の両方の工程を行わなければならない、検査効率が悪くなるのであった。

【0030】しかし、本実施の形態のテストパターン50は、領域20（薄膜トランジスタ20a及び駆動回路20X・20Y）の近傍位置に形成され、アレイ検査用パッド30a・30a…の下に形成されたテストパタ

ーン検査用パッド30b・30bに接続されているので、アレ検査と同時にテストパターン50の検査を行うことができ、従って、アレ検査効率が向上する。

【0031】(実施例1)次に、本発明の実施例1について、図2を用いて説明する。図2は本発明の第1実施例に係る薄膜トランジスタアレの概略平面図である。

【0032】TFTアレ基板の一部を構成するTFTアレ10上には、画面部を構成するマトリクス状に配列された画素トランジスタ(図示せぬ)と、該画素トランジスタを駆動させる駆動回路(図示せぬ)とを有する領域20が形成されている。また、前記駆動回路にはアレ検査用パッド30a・30a…が配線部12・12…を介して接続され、さらに、配線部12・12…は前記画素トランジスタを構成するソース電極、ゲート電極、ドレイン電極に接続されている。

【0033】前記薄膜トランジスタアレ10のアレ検査用パッド30a・30a…の下方には、該アレ検査用パッド30a・30a…と略同一形状で略同一間隔の、複数のテストパターン検査用パッド30b・30b…からなるテストパターン検査用パッド列が形成されており、該テストパターン検査用パッド30b・30b…に配線部12・12…を介して、テストパターンである薄膜トランジスタ(単体トランジスタ)60が接続されている。前記テストパターン検査用パッド30b・30b・30bは、それぞれ配線部12・12・12を介して、薄膜トランジスタ60のソース電極60a、ドレイン電極60b、ゲート電極60cに接続されている。なお、前記薄膜トランジスタ60は、n-チャネル型トランジスタ及びp-チャネル型トランジスタのどちらでも良い。

【0034】次に、TFTアレ10のアレ検査方法について説明する。

【0035】まず、アレ検査用パッド30a・30a…及びテストパターン検査用パッド30b・30b・30bにプローブピン40・40…を同時に当接し、薄膜トランジスタ60のトランジスタ特性、即ち、オン電流、オフ電流、閾値電圧、S値、そして移動度などを評価する。そして、その結果が規定範囲内にあるかどうかをテストパターン判定工程によって判断し、規定範囲内にある場合は続けてプローブピン40・40…よりバリスダ応答により、領域20を形成する駆動回路及び画素トランジスタの検査を行う。

【0036】一方、前記薄膜トランジスタ60の検査結果が規定範囲外である場合は、そのTFTアレ10(チップ)を不良品チップと見なし、駆動回路及び画素トランジスタに対する検査は行わず、次のTFTアレ10(チップ)の検査を行う。

【0037】このようにして、不良TFTアレのスクリーニングが可能となり、アレ検査時間の短縮を図ることができ、アレ検査効率が向上する。また、アレ

検査と同時にテストパターンである薄膜トランジスタ60の特性の測定を行うことによって、アレ工程の安定性及び妥当性の評価を行うことができる。

【0038】(実施例2)次に、本発明の実施例2について、図3を用いて説明する。図3は本発明の第2実施例に係る薄膜トランジスタアレの概略平面図である。

【0039】薄膜トランジスタアレ10のアレ検査用パッド30a・30a…の下方には、該アレ検査用パッド30a・30a…と略同一形状で略同一間隔の、4つのテストパターン検査用パッド30b・30b・30b・30bが形成されており、該テストパターン検査用パッド30b・30b・30b・30bに配線部12・12…を介して、テストパターンであるドーピング層抵抗測定パターン70、S1(n+1)とソース電極とドレイン電極とのコンタクトチェーン80が接続されている。

【0040】次に、TFTアレ10のアレ検査方法について説明する。

【0041】まず、アレ検査用パッド30a・30a…及びテストパターン検査用パッド30b・30b・30b・30bにプローブピン40・40…を同時に当接し、ドーピング層抵抗及びコンタクト抵抗を評価する。そして、その結果が規定範囲内にあるかどうかをテストパターン判定工程によって判断し、規定範囲内にある場合は続けてバリスダ応答により、領域20を形成する駆動回路及び画素トランジスタの検査を行う。

【0042】一方、ドーピング層抵抗測定パターン70のドーピング層抵抗およびコンタクトチェーン80のコンタクト抵抗が規定範囲外である場合は、そのTFTアレ10(チップ)を不良品チップと見なし、駆動回路及び画素トランジスタに対する検査は行わず、次のTFTアレ10(チップ)の検査を行う。

【0043】これによって、不良TFTアレのスクリーニングが可能となり、アレ検査時間の短縮を図ることができ、アレ検査効率が向上する。また、アレ検査と同時にテストパターンであるドーピング層抵抗及びコンタクト抵抗の測定を行うことによって、アレ工程の安定性及び妥当性の評価を行うことができる。

【0044】(実施例3)次に、本発明の実施例3について、図4を用いて説明する。図4は本発明の第3実施例に係る薄膜トランジスタアレの概略平面図である。

【0045】薄膜トランジスタアレ10のアレ検査用パッド30a・30a…の下方には、該アレ検査用パッド30a・30a…と略同一形状で略同一間隔の、4つのテストパターン検査用パッド30b・30b・30b・30bが形成されており、該テストパターン検査用パッド30b・30b・30b・30bに配線部12・12…を介して、テストパターンであるトランスファークロップ90の入力端子90a、出力端子90b、Vss90c、Vdd90dが接続されている。

【0046】次に、TFTアレレイ10のアレイ検査方法について説明する。

【0047】まず、アレレイ検査用パッド30a・30a及びテストパターン検査用パッド30b・30b・30b・30bにプローブピン40・40…を当接し、トランスファ特性、そしてトランスファゲートを構成するn-ch型トランジスタ及びp-ch型トランジスタのトランジスタ特性、即ち、オン電流、オフ電流、閾値電圧、S値、そして移動度などを評価する。そして、その結果が規定範囲内にあるかどうかをテストパターン判定工程によって判断し、規定範囲内にある場合は続けてプローブピン40・40…よりパルス応答法により領域20を形成する駆動回路及び画素トランジスタの検査を行う。

【0048】一方、規定範囲外、即ち、n-ch型トランジスタもしくはp-ch型トランジスタの内、少なくとも一方が不良トランジスタと見なされた場合、またはトランスファゲートのトランスファ特性が悪い場合は、そのTFTアレレイ10（チップ）を不良品チップと見なし、駆動回路及び画素トランジスタに対する検査は行わず、次のTFTアレレイ（チップ）の検査を行う。

【0049】これによって、正しく動作しないトランスファゲート、もしくは不良トランジスタを持つチップのスクリーニングが可能となり、アレレイ検査の効率が向上する。また、アレレイ検査と同時にトランスファゲート及びトランジスタの測定を行うことによって、アレレイ工程の安定性及び妥当性の評価を行うことができる。

【0050】（実施例4）次に、本発明の実施例4について、図5を用いて説明する。図5は本発明の第3実施例に係る薄膜トランジスタアレレイの概略平面図である。

【0051】薄膜トランジスタアレレイ10のアレイ検査用パッド30a・30a…の下方には、該アレレイ検査用パッド30a・30a…と略同一形状で略同一間隔の、4つのテストパターン検査用パッド30b・30b・30b・30bが形成されており、該テストパターン検査用パッド30b・30b・30b・30bに配線部12・12…を介して、テストパターンであるインバータ100の入力端子100a、出力端子100b、Vss100c、Vdd100dが接続されている。

【0052】次に、TFTアレレイ10のアレイ検査方法について説明する。

【0053】まず、アレレイ検査用パッド30a・30a…及びテストパターン検査用パッド30b・30b・30b・30bにプローブピン40・40…を当接し、インバータ100のインバータ特性、そしてインバータ100を構成するn-ch型トランジスタ及びp-ch型トランジスタのトランジスタ特性、即ち、オン電流、オフ電流、閾値電圧、S値、そして移動度などを評価する。そして、その結果が規定範囲内にあるかどうかを前記テストパターン判定工程によって判断し、規定範囲内

にある場合は続けてプローブピン40・40…よりパルス応答法により駆動回路及び画素トランジスタの検査を行う。

【0054】一方、規定範囲外、即ち、n-ch型トランジスタもしくはp-ch型トランジスタの内、少なくとも一方が不良トランジスタと見なされた場合、またはインバータ100のインバータ特性が悪い場合は、そのTFTアレレイ10（チップ）を不良品チップと見なし、駆動回路及び画素トランジスタに対する検査は行わず、次のTFTアレレイ（チップ）の検査を行う。

【0055】これによって、正しく動作しないインバータ、もしくは不良トランジスタを持つチップのスクリーニングが可能となり、アレレイ検査の効率が向上する。また、アレレイ検査と同時にインバータ及びトランジスタの測定を行うことによってアレレイ工程の安定性及び妥当性の評価を行うことができる。

【0056】【発明の効果】以上のように、本発明によれば、アレレイ検査と同時にテストパターンの検査を行うことが可能になり、テストパターンの検査結果によって不良品チップをスクリーニングすることが可能となる。従って、不良品チップの検査を回避することができ、検査効率が向上する。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る、薄膜トランジスタアレレイ基板の一部を構成する薄膜トランジスタアレレイの概略平面図である。

【図2】本発明の第1実施例に係る薄膜トランジスタアレレイの概略平面図である。

【図3】本発明の第2実施例に係る薄膜トランジスタアレレイの概略平面図である。

【図4】本発明の第3実施例に係る薄膜トランジスタアレレイの概略平面図である。

【図5】本発明の第4実施例に係る薄膜トランジスタアレレイの概略平面図である。

【図6】従来の薄膜トランジスタアレレイ基板の概略平面図である。

【図7】従来の薄膜トランジスタアレレイ基板の一部を構成する薄膜トランジスタアレレイの概略平面図である。

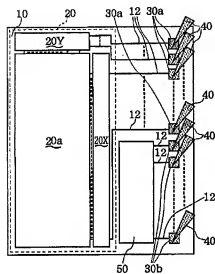
【符号の説明】

- 1 薄膜トランジスタ（TFT）アレレイ基板
- 10 薄膜トランジスタ（TFT）アレレイ
- 12 配線
- 20 領域
- 20a 画素トランジスタ
- 20X・20Y 駆動回路
- 30a アレイ検査用パッド
- 30b テストパターン検査用パッド
- 40 プローブピン
- 50 テストパターン

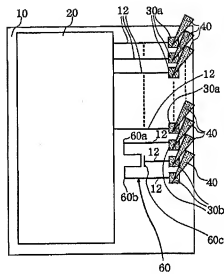
- 60 薄膜トランジスタ
 60a ソース電極
 60b ドレイン電極
 60c ゲート電極
 70 ドーピング層抵抗測定パターン
 80 コンタクトチェーン

- * 90 トランスファークエート
 90a 入力端子
 90b 出力端子
 100 インバータ
 100a 入力端子
 100b 出力端子

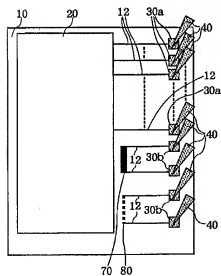
【図1】



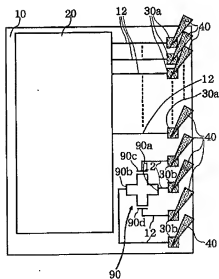
【図2】



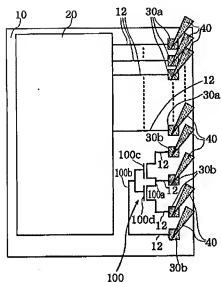
【図3】



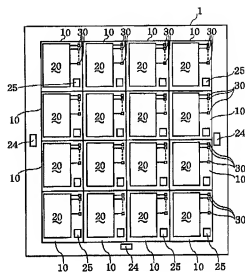
【図4】



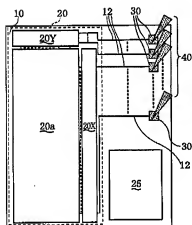
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl.⁷ 識別記号
G 0 9 F 9/30 3 3 8
H 0 1 L 21/66

F I テーコード (参考)
H 0 1 L 21/66 E 5 F 1 1 0
G 0 2 F 1/136 5 0 0 5 G 4 3 5

- (72)発明者 川村 哲也
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
- (72)発明者 西谷 幹彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 2G014 AA03 AA25 AA32 AB51 AB59
AC19
2H088 FA11 HA06 HA08 MA20
2H092 JA24 MA57 NA30 PA06
4H106 AA20 AB02 AB03 AC02 AD01
BA01 CA04 CA32 CA70 CB12
5C094 AA43 AA44 AA46 AA48 BA03
BA43 CA19 DA09 DB01 DB03
EA03 EA04 FA01 FB12 FB14
FB15 GB10
5F110 AA24 BB02 BB03 QQ30
5G435 AA17 BB12 CC09 HH12 HH13
HH14 KK05 KK10